

KR 1994-12488

A semiconductor device and a method of producing the same are disclosed. An Si oxide film is formed by a plasma CVD with the use of a silicon compound gas containing fluorine, whereby the generation of particles can be suppressed to improve the quality of the device and the yield, the planarity of the Si oxide film functioning as an interlayer dielectric film or a passivation film can be improved, and the higher speed operation in a semiconductor device can be accomplished.

BEST AVAILABLE COPY

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.
H01L 21/316
H01L 21/203
H01L 21/31

(11) 등록번호
(24) 등록일자

특0131439
1997년12월01일

(21) 출원번호	특1993-024923	(65) 공개번호	특1994-012488
(22) 출원일자	1993년11월22일	(43) 공개일자	1994년06월23일
(30) 우선권주장	93-67116 1993년03월25일 일본(JP) 92-313720 1992년11월24일 일본(JP)		
(73) 특허권자	수미토모킨조쿠코오교오 카부시카가이샤, 나카무라 타메아키 일본 일본국 오오사카현 오오사카시 히우오오루 기타하마 4조오메 5-33		
(72) 발명자	후카다 다카시 일본 일본국 히오고현 니시노미야시 코오시엔쵸오 24-4-505		
(74) 대리인	하삼국 하영옥		
(77) 심사청구	심사관: 박형식 (특자공보 제527호)		
(54) 줄임명	반도체장치 및 그 제조방법		

요약

불소를 함유하는 실리콘화합물 가스를 사용한 플라즈마CVD법으로 Si 산화막을 형성함으로써, 입자의 발생을 억제하여 품질 및 수율을 향상시키고, 또, 층간 절연막 또는 불활성화 막으로서의 Si 산화막의 평탄화 특성을 향상시키며, 또, 신호전달의 고속화를 도모하도록 한 반도체 장치 및 그 제조방법에 관한 것이다.

대표도

도1

명세서

[발명의 명칭]

반도체장치 및 그 제조방법

[도면의 간단한 설명]

제1도는, 본 발명의 제1실시예에 사용하는 ECR플라즈마CVD장치의 구조를 도식적으로 표시하는 종단면도이다.

제2도는, 제1실시예의 Si 산화막의 적외흡수 스펙트럼을 표시하는 그래프이다.

제3도는, 제1실시예의 Si 산화막이 적외흡수 스펙트럼을 표시하는 그래프이다.

제4도는, 제1실시예의 Si 산화막의 비유전율의 SiF₄ 의존성을 표시한 그래프이다.

제5도는, 제1실시예의 Si 산화막의 절연내압특성을 표시하는 그래프이다.

제6도는, 제2실시예의 Si 산화막 속의 불소량에 대한 비유전율을 표시한 그래프이다.

제7도는, 제2실시예의 Si 산화막 속의 불소량에 BHF에칭속도를 표시한 그래프이다.

제8도는, 제3실시예의 Si 산화막의 도식적인 단면도이다.

제9도는, 제4실시예에 사용하는 ECR플라즈마CVD장치의 구조를 표시하는 도식적인 종단면도이다.

제10도는, 제4실시예의 Si 산화막의 비유전율의 SiF₄ 유량의존성을 표시하는 그래프이다.

제11도는, 제4실시예의 Si 산화막의 절연내압특성을 표시하는 그래프이다.

제12도(a)와 제12도(b)도의 제4실시예의 Si 산화막의 도식적인 단면도이다.

제13도는, 종래예의 Si 산화막의 도식적인 단면도이다.

제16도는, 제5실시예의 제조방법으로 제조된 반도체장치의 도식적인 단면도이다.

제17도는, 제6실시예에 사용하는 ECR플라즈마CVD장치의 구조를 표시하는 도식적인 종단면도이다.

제18도는, 제6실시예의 제조방법으로 제조된 반도체장치의 도식적인 단면도이다.

제19도는, 제7실시예의 제조방법으로 제조된 반도체장치의 도식적인 단면도이다.

* 도면의 주요부분에 대한 부호의 설명

- | | |
|---------------|-------------------------|
| 1 : 플라즈마 생성실 | 2 : 반응실 |
| 3 : 마이크로파 도파관 | 3a : 플랜지 |
| 4 : 여자코일 | 5 : 시료대 |
| 6, 7 : 가스 도입계 | 8 : 배가계 |
| 9 : 고주파 전원 | 22, 42, 62, 65, 78 : 배선 |

[발명의 상세한 설명]

본 발명은, 불화규소가스를 사용하여 플라즈마CVD법에 의하여 형성된 Si 산화막을 구비한 반도체장치 및 그 제조방법에 관한 것이다. LS I, 초LSI에 사용되는 절연막에는, 캐패시터 절연막, 층간 절연막, 불활성화(passivation)막이 열거된다. 이들의 내층간 절연막은, SiH_4 , O_2 또는 N_2O 를 사용한 플라즈마CVD법에 의하여 형성되는 일이 많다. 이것은, 플라즈마CVD법에서, 절연막에 핀홀이나 크랙 등의 결함을 발생시키는 경우가 적기 때문이다.

그런데, SiH_4 는 O_2 또는 N_2O 와의 반응성이 강하고, 혼합되는 것만으로 폭발적으로 반응한다. 플라즈마에 의하여 활성화되어 있는 경우에는, 더욱 반응하기 쉽고, 플라즈마CVD법에 의하여 Si 산화막을 형성하는 경우에, Si 산화막이 형성되는 체임버 내벽과 같이, 반도체 위 이외의 부분에 반응물이 퇴적한다. 이 퇴적물이 입자 발생의 원인으로 되고, 반도체장치의 품질을 저하시킨다고 하는 문제가 있다. 또 입자의 생성을 방지하기 위하여, 체임버 내의 세정을 빈번하게 실시할 필요가 있고, 이 때문에, 장치의 가동률이 떨어져서 반도체 제조의 수율이 감소되는 문제가 있었다.

이것을 해결하기 위하여, SiH_4 보다도 반응성이 약한 불화규소가스를 사용하여 Si 산화막을 형성하는 방법이 제안되고 있다.(J. Appl. Phys. 64(8), 1988, 10, 15). 이 방법은, 원료가스로 Si_2F_6 , O_2 및 Si_2H_4 를 사용하여 광CVD법에 의해 막을 형성한다. 이것에 의하여, 반응성은 약간 약하게 되어, 체임버 내벽에 부착하는 반응물은 감소하는데, Si_2F_6 및 O_2 만으로는 막이 형성되지 않으므로, 반응성이 강한 Si_2H_4 를 사용하여야 하며, 따라서, 강한 반응이 발생하는 문제가 있었다. 또, 층간 절연막 형성에는 평탄화특성이 중요하다. 배선 사이가 피복되어, 절연막이 배선 사이로 충분히 들어갈 수 없는 정도의 공간을 발생시키는 결함이 발생되며, 평탄화 특성을 저감시키는 문제가 있었다.

또, 최근에 특히 LSI의 고속화를 도모하는 것을 목적으로 하여, A배선을, 전달되는 신호의 시정수를 작게 하기 위하여, A배선의 층간 절연막, 불활성화막에 비유전율이 낮은 Si 산화막을 사용하는 것이 요구되고 있다. Si_2H_4 및 O_2 , Si_2H_4 및 N_2O 또는 TEOS, O_2 및 O_2 등을 사용하던 종래의 광CVD법, 열CVD법, 플라즈마CVD법 등과 같은 산화막CVD법에서는, Si 산화막의 비유전율은 3.8 이상으로 되어, LSI의 고속화를 방해하는 요인이었다. Si 산화막 속의 애기 함유량이 많은 경우는, 비유전율이 크기 때문이라고 생각되고 있다.

또, 알콕시화트오르실란을 주성분으로 하는 원료가스를 사용하고, 열CVD법에 의하여 불소를 함유한 실리콘 산화막이 제안되어 있다.(일본국 특허공 4-239750호 공보). 이 막의 비유전율은 3.7이며, 종래에는 10% 미만의 감소를 유지하고 있다. 이 비유전율은 막을 형성하는 온도에 의해 변화하는데, 이 막 속에는 애기가 함유되므로, 층간 절연막으로 사용하는 경우에, 신뢰성이 낮은 문제점이 있었다. 또, 절연개이트형 전계효과트랜지스터의 게이트 절연막을, 디클로르실란(SiH_2Cl_2) 등의 염소를 함유하는 모노실란유도체 가스 또는 불소를 함유하는 모노실란유도체 가스를 사용하여, 플라즈마CVD법에 의하여 형성하는 것이 제안되어 있다(일본국 특허공 3-36767호 공보). 그런데, 이 제안의 내용은 다결정 실리콘 웨이퍼의 Si 산화막의 형성에 있어서, 종래의 열산화법 또는 CVD법의 문제점인 절연내압의 개선과 계면준위 밀도의 저감을 목적으로 하는 것이며, 염소 또는 불소 함유하는 모노실란유도체 가스 또는 염화수소의 비율을 막의 형성시에 높이는 것으로, 실리콘 층상의 자연산화막, 유기물 및 금속 등의 오염물질을 제거하면서, 막을 형성하는 것을 도모한 것으로, 불소를 함유하는 Si 산화막에 대한 기재는 없다.

그리고, 반대로, 디클로르실란 등의 모노실란유도체 가스를 사용한 경우, 또는 염화수소 등과 모노실란과의 혼합물을 사용한 경우에는, 모노실란가스의 비율을 높이는 것으로, 막속으로 혼입하는 염소 또는 불소의 양을 저감시켜, 절연내압이 높은 양질의 산화막을 형성하는 것에 대해 기재되어 있고, 염소 또는 불소를 함유하는 것이 바람직하지 않다는 것을 시사하고 있다.

본 발명은 이상과 같은 문제점을 해결하기 위하여 이루어진 것으로, 본 발명의 목적은, 불소를 함유하는 실리콘화합물 가스를 사용한 플라즈마CVD법으로 Si 산화막을 형성함으로써, 입자의 발생을 억제하여 품질 및 수율을 향상시키고, 또, 층간 절연막 또는 불활성화막으로서의 Si 산화막의 평탄화 특성을 향상시키며, 신호 전달의 고속화를 도모할 수 있는 반도체장치 및 그 제조방법을 제공하는데 있다.

본 발명에 의한 반도체장치 및 그 제조방법은, 불소를 함유하는 실리콘화합물 가스와 O_2 또는 N_2O 를 사용한 플라즈마CVD법에 의하여, 0.1 ~ 20원자%의 불소를 함유하는 Si 산화막, 3.7-2.9의 비유전율을 보유하는 Si 산화막을 형성하고 있다. 따라서, 종래보다도 완전한 반응으로 기판 위에 Si 산화막을 퇴적하므로, 플라즈마 발생부 이외에서 반응이 진행되지 않고, 장치 벽면으로의 반응물의 부착이 감소되며, 입자의 발생이 감소된다. 그리고, 미와 같이 퇴적된 Si 산화막은, 애기 함유량이 적거나 또는 완전히 없으며, 0.1-20원자%의 불소를 함유하며, 또 3.7-2.9의 비유전율이 있으므로, 반도체장치의 신호전달의 고속화를 도모할 수 있다. 또, 반도체장치의 신호전달 속도를 종래와 동일한 정도로 할 경우는, Si 산화막의 막 두께가 얇게 된다. 더욱이, 플라즈마 속에서 형성되는 불소계의 막의 종류는 이동(migration)을 발생하

O를 사용하여, 상기한 불소를 함유하지 않은 Si 산화막 위에 불소를 함유한 Si 산화막을 퇴적하는 공정을 보유한다. 또, 불소를 함유하는 실리콘화합물 가스와 O₂ 또는 N₂O를 사용하여 불소를 함유한 Si 산화막을 퇴적하는 공정과, SiH₄와 O₂ 또는 N₂O를 사용하여, 상기한 불소를 함유한 산화막 위에 불소를 함유하지 않은 Si 산화막을 퇴적하는 공정을 보유한다. 따라서, 에컨대 알루미늄 배선과 같은 불소와의 반응성이 있는 물질은 불소를 함유하지 않은 Si 산화막에 의하여 불소와의 반응에 의한 부식이 방지된다.

또, 기판에 음극 전위를 부여하여, 불소를 함유하는 실리콘화합물 가스와 O₂ 또는 N₂O를 사용한 플라즈마 CVD법을 실시한다. 따라서, 기판 표면의 요철(凹凸)에 스텝에 영향을 실시하면서 막을 형성하므로, 비유전율이 낮은 Si 산화막을 요철의 단차를 축소하여 평탄성이 양호한 상태로 퇴적시킨다.

(실시예)

다음에, 본 발명을 그 실시예를 표시하는 도면에 의거하여 설명한다.

제1도는, 본 발명의 실시예에 사용하는 ECR플라즈마 CVD장치의 구조를 도식적으로 표시하는 종단면도이다. 도면에서 참조부호(1)은 플라즈마 생성실이고, 중공의 원통형으로 형성되어 있다. 그 상부 중앙에는 원형의 마이크로파 도입구(1b)가 형성되며, 원통형의 마이크로파 도파관(3)의 한 쪽 끝을 도면에는 표시하지 않은 마이크로파 발전기에 접속하고, 다른 쪽 끝에 플랜지(3a)를 형성하여 상기한 마이크로파 도입구(1b)에 접속되어 있다. 그리고, 마이크로파 도입구(1b)에는, 석영유리판으로 구성된 마이크로파 도입창(1a)이 마이크로파 도입구(1b)를 차단하는 상태로 설치되어 있다. 또 플라즈마 생성실(1)의 주위에는 이것에 접속된 마이크로파 도파관(3)의 한쪽 끝부분에 걸쳐서 이들을 둘러싸는 상태로, 마플과 등심 형상으로 여자코일(4)을 배설하고, 여자코일(4)은 도면에 표시하지 않은 직류전원에 접속되어 있다. 또, 플라즈마 생성실(1) 상부 벽에는 가스 도입계(6)가 개방되어 있다. 플라즈마 생성실(1) 하부 벽 중앙에는, 상기한 마이크로파 도입구(1b)와 대향하는 위치에 플라즈마 인출창(1c)을 구비하고, 플라즈마 인출창(1c)으로 향하게 하여 반응실(2)이 형성되어 있다. 반응실(2) 내에는 상기한 플라즈마 인출창(1c)과 대향하는 위치에 시료대(5)가 배설되고, 그 위에 시료(s)가 놓여지도록 되어 있다. 또, 반응실(2)의 측벽에는 가스 도입계(7)가, 하부 벽에는 도면에는 표시하지 않은 배기장치에 연결되는 배기계(8)가 개방되어 있다. 이상과 같은 장치를 사용하여, 시료(s) 위에 Si 산화막을 형성하는 경우에는 먼저, 시료대(5)의 온도를 300℃, 배기계(8)에 의하여 플라즈마 생성실(1) 및 반응실(2) 내를 1×10^{-6} Torr 이하의 압력으로 하고, 가스 도입계(7)로부터, 30sccm의 SiF₄를 반응실(2) 내로 공급하며, 가스 도입계(6)로부터 43sccm의 Ar, 70sccm의 O₂를 플라즈마 생성실(1) 내로 공급한다. 그 후, 반응실(2) 내를 소정의 압력, 에컨대 2×10^{-2} Torr로 한다. 그리고, 출력 2.8KW의 마이크로파를 도면에는 표시하지 않은 마이크로파 발전기로부터 마이크로파 도파관(3), 마이크로파 도입창(1a)을 거쳐서 플라즈마 생성실(1) 내로 도입함과 아울러, 여자코일(4)에 의하여 플라즈마 생성실(1) 내에서 자장을 발생시킨다. 이것에 의하여, 플라즈마 생성실(1) 내에는 ECR조건이 성립하고, 플라즈마 생성실(1) 내로 공급된 Ar, O₂ 가스는 분해되어서, 플라즈마가 생성된다. 생성된 플라즈마는 상기한 자장에 의하여 반응실(2) 내로 도입되며, SiF₄ 가스를 활성화하여 시료(S) 표면에 Si 산화막을 형성시킨다.

다음에, 상기한 제조방법에 의하여 형성된 제1실시예의 반도체장치에 대하여 설명한다.

제2도는, 상기한 Si 산화막의 적외흡수 스펙트럼이다. 도면에서 알 수 있듯이, 940cm⁻¹에서 Si-F 결합에 의한 흡수가 나타나며, 불소가 Si 산화막 속에 함유되어 있는 것을 알 수 있다. 또 종래의 CVD법으로 형성된 Si 산화막에서는 3600cm⁻¹ 근처에서 Si-OH 결합에 의한 흡수가 나타나는 것이 알려져 있지만, 상술한 실시예에 의한 Si 산화막에서는 Si 산화막 속에 존재하지 않는 것을 알 수 있다.

제3도는, 상술한 Si 산화막의 400cm⁻¹ ~ 1500cm⁻¹까지의 적외흡수 스펙트럼이다. 비교예로서 열산화막의 적외흡수 스펙트럼을 표시하고 있다. 1000cm⁻¹ ~ 1300cm⁻¹로 나타내는 Si-O 결합에 의한 흡수 스펙트럼의 형상이 극히 유사하고, Si-O 결합의 상태가 열산화막과 마찬가지로 안정하여 양질의 막인 것을 알 수 있다.

제4도는, 상술한 방법에 의하여 제조된 Si 산화막의 비유전율의 SiF₄ 의존성을 표시한 그래프이다. 종축은 비유전율, 횡축은 SiF₄ 유량을 표시하고 있다.

종래의 SiF₄ 및 O₂를 사용하여 CVD법으로 형성된 Si 산화막에서는, 비유전율을 3.8~3.9가 최소 한계인 것으로 알려져 있다. 도면에서 알 수 있듯이, 본 실시예에서는 3.3~3.6의 비유전율을 얻을 수 있으며, 따라서, 비유전율이 낮은 Si 산화막이 이루어지는 것을 알 수 있다.

제5도는, 상술한 방법에 의하여 제조된 Si 산화막의 절연파괴특성을 표시하는 그래프이다. 횡축은 절연파괴전압, 종축은 변동을 나타내고 있다. 도면에서 알 수 있듯이 절연파괴전압이 대략 6.5~8.0M V/cm의 범위로 분포하고 있으며, 종래와 마찬가지로 우수한 절연내압특성을 보유하고 있다고 말할 수 있다.

다음에, 상술한 실시예와 다른 조건에서 형성되는 제2실시예의 Si 산화막에 대하여 설명한다. 상술한 실시예에 사용한 장치(제1도)의 반응실(2) 내에 시료(S)를 놓고 마이크로파와 O₂ 가스 유량을 최적화 한 조건에서, 시료(S) 위에 Si 산화막을 형성하였다. 제6도는, 이 Si 산화막 속의 불소량에 대한 비유전율을 표시한 그래프이다. 종축은 비유전율을, 횡축은 불소 함유량을 나타내고 있다. 불소 함유량이 0.1원%로부터 0.1원%까지 변화함에 따라 비유전율은 3.9로부터 3.7까지 감소되고, 0.1원%로부터 20원%까지 변화함에 따라 3.7로부터 2.9까지 감소하고 있다. 불소 함유량이 0.1원%보다 작은 Si 산화막은, 종래의 Si 산화막과 특성상에서의 구별은 불가능하다.

또, 제7도는, 상술한 Si 산화막 속의 불소량에 대한 BHF에칭속도를 표시한 그래프이다. 종축은 BHF에칭속도를, 횡축은 불소 함유량을 나타내고 있다. 불소 함유량이 0.1원%로부터 20원%까지 변화함에 따라, BHF에칭속도는 3000 Å/min으로 증가하고 있다. 불소 함유량이 20원%보다 큰 Si 산화막의 BHF에칭속도는 8000 Å/min을 초과한다. 에칭속도가 빠른 것은, 그 막의 성질이 포러스상태로 되어 있어서, 접연막으로서의 신뢰성이 현저하게 저하되어 있는 것을 표시하고 있다. 이런 점에서, 불소 함유량이 0.1원%보다 작은 Si 산화막 및 20원%보다 큰 Si 산화막은, 중간 절연막, 절연성화막으로 적용하는 것이 곤란하다고 말할 수 있다.

다음에, 본 발명의 제3실시예를 구체적으로 설명한다. 아래에 설명하는 실시예는 ECR플라즈마 CVD장치를 사용하여 시료(S) 위에 Si 산화막을 형성한다. 이 장치는, 가스 도입계(7)로부터 SiH₄와 SiF₄가 선택적으로 도입되도록 되어 있는 것 이외는 상술한 제1도에 표시하는 장치와 동일하며, 대우하는 부분에서 동일 분자를 사용하여, 선택은 생략한다. 이 장치의 사용에 따라, 시료(S) 위에 Si 산화막을 형성하는 데는

제8도는, 이 실시예에 의하여 형성된 Si 산화막의 도식적인 단면도이다. 기판(21) 위에 Al배선(22), (22)이 형성된 시료(S)의 표면에 SiF₄에 의한 불소를 함유하지 않은 상기한 제1의 Si 산화막(23)이 1000Å의 두께로 형성되며, 그 위에 SiF₄에 의한 불소를 함유한 상기한 제2의 Si 산화막(24)이 퇴적되어서 표면이 대략 평탄하게 되어 있다. 배선재료인 Al은 불소와 반응하여 AlF₃의 절연물을 형성하게 되므로, Al배선(22), (22)이 형성된 시료(S) 위에 SiF₄ 가스를 접촉시키는 것은 바람직하지 않지만, 본 실시예와 같이 Al배선(22), (22) 위에 SiH₄에 의한 Si 산화막(23)을 함께 퇴적시킴으로써, Al배선(22), (22)과 SiF₄가 반응하지 않고, SiF₄에 의한 Si 산화막(24)을 형성할 수 있다. 또한 Al배선(22), (22)은 사합금배선이라도 좋다.

다음에, 본 발명의 제4실시예를 표시하는 도면에 의거하여 구체적으로 설명한다.

제9도는, 제4실시예에 있어서의 제조의 실시예에 사용하는 ECR 플라즈마 CVD 장치의 구조를 표시하는 도식적인 종단면도이다. 도면에서 참조부호 (1)은 플라즈마 생성실이고, (2)는 반응실이다. 이 장치는, 반응실(2) 내에 배치된 시료(S)를 놓는 시료대(5)에 고주파 전원(9)이 접속되며, 시료(S)에 바이어스 전압이 인가되도록 되어 있는 이치는, 상술한 제1도에 표시하는 장치와 동일하며, 대응하는 부분에 대해서는 동일한 부호를 사용하여 설명은 생략한다.

제10도는, 이 장치를 사용하여 제조된 Si 산화막의 비유전율의 SiF₄ 유량의존성을 표시한 그래프이고, 종축은 비유전율, 횡축은 SiF₄ 유량을 나타내고 있다. 막의 형성조건의 가스 유량은, Ar이 43sccm, O₂가 70sccm이며, 압력이 2×10^{-3} Torr, 마이크로파 출력 2.8kW, 고주파 전력 400W, 기판온도가 300°C이다. 도면에서 알 수 있듯이, 비유전율이 2.9~3.0의 극히 낮은 값의 Si 산화막이 얻어지는 것을 알 수 있다.

또한, 제11도는 이러한 Si 산화막의 절연내압특성을 표시하는 그래프이다. 종축은 절연파괴내압, 종축은 빈도를 나타내고 있다. 도면에서 알 수 있듯이, 절연파괴전압이 대략 6.0~7.5MV/cm의 범위로 분포되어 있고, 종래와 마찬가지로 우수한 절연내압특성을 보유하고 있다고 말할 수 있다.

다음에, 제9도에 표시한 장치를 사용하여, Al배선이 형성된 시료(S) 위에 층간 절연막으로서의 Si 산화막을 형성하는 경우에 대하여 설명한다. 먼저, 가스 도입계(6)로부터의 플라즈마 생성실(1) 내로 Ar 가스, O₂ 가스를 공급하여, 가스 도입계(7)로부터 반응실(2) 내로 SiH₄ 가스를 공급하여, 플라즈마에 의하여 시료(S) 위에 상기한 불소를 함유하지 않은 Si 산화막을 1000Å 형성한다.

그리고, 마이크로파의 발전을 정지하고 SiH₄ 가스를 SiF₄ 가스로 전환하여, 다시 마이크로파를 플라즈마 생성실(1) 내로 도입하여, 불소를 함유한 Si 산화막을 형성한다. 이때, 고주파 전원(9)에 의하여 시료(S)에 음극의 바이어스 전압을 인가한다. 이것에 의하여, 시료(S) 위에 막의 형성과 동시에 스퍼터현상이 실시된다.

제12(a)도와 제12(b)도는 본 실시예에 의하여 형성된 Si 산화막의 도식적인 단면도이고, 제13도는 종래예의 Si 산화막의 도식적인 단면도이다. 제12(a)도에 표시하듯이, 반도체 기판(41) 위에 Al배선(42), (42)이 형성된 시료(S)의 표면에 SiH₄에 의한 불소를 함유하지 않은 Si 산화막(43)이 1000Å의 두께로 형성되며, 그 위에 SiF₄에 의한 Si 산화막(44)이 퇴적된다. 스퍼터현상에 의하여 SiF₄에 의한 Si 산화막(44)의 예지부(44a)는 평탄부(44b)보다도 스퍼터효율이 크므로, 절삭되어 테이퍼 형상을 하고 있다. 또 Si 산화막(44)의 퇴적이 진척되면, 평탄부(44c)는 평탄부(44b)보다도 스퍼터효율이 낮으므로, 실질적으로 평탄부(44c)의 막이 형성속도가 높아지며, 제12(b)도에 표시하듯이, SiF₄에 의한 Si 산화막(44)이 평탄성이 양호한 상태로 퇴적된다. 또, 예지부(44a)가 테이퍼 형상으로 되므로써, Al배선(42), (42) 사이에도 Si 산화막(44)이 쉽게 속으로 들어가게 되어, 공동과 같은 결함은 발생하지 않는다. 또한 Al배선(22), (22)은 사합금배선이라고 좋다.

제13도는, 종래의 SiH₄를 사용한 CVD법에 의하여, 시료에 Si 산화막을 퇴적시킨 종래예이다. 반도체 기판(51) 위에 형성된 Al배선(52), (52)의 표면에 SiH₄에 의한 Si 산화막(53)이 퇴적되어 있다. Al배선(52), (52) 위에 퇴적된 예지부(52a), (52a)는 막의 형성이 진행됨에 따라 그 상부에서 절삭되고, Al배선(52), (52) 사이로 Si 산화막(53)이 들어가는 것을 어렵게 하며, 막의 형성이 더욱 진행되면, Al배선(52), (52) 사이의 헐 폭이 예지부(52a)로 덮혀지면서 공극(55)이 발생되고 있다. 이상과 같이, 본 실시예에 의하여, 평탄화특성을 향상시킨 Si 산화막이 있는 반도체장치가 제조된다.

다음에, 본 발명의 제5실시예를 그 도면에 의거하여 구체적으로 설명한다.

제14도는, 제5실시예의 제조방법으로 제조된 반도체장치의 도식적인 단면도이다. 상술한 제9도에 표시한 장치를 사용하여, 가스 도입계(6)로부터 플라즈마 생성실(1) 내로 Ar 가스, O₂ 가스를 공급하고, 가스 도입계(7)로부터 반응실(2) 내로 SiF₄ 가스를 공급하여 플라즈마가 발생되도록 하며, 고주파 전원(9)에 의하여 시료(S)에 음극의 바이어스 전압을 인가하므로써, 반도체 기판(61) 위에 Al배선(62), (62)이 형성된 시료(S) 위에 Si 산화막(64)을 형성한다. 그리고, Si 산화막(64) 위에 Al배선(65), (65)을 형성한다.

상술한 바와 같이, SiF₄ 가스를 사용한 Si 산화막은 비유전율이 2.9~3.70이므로, Al배선(62), (62) 및 Al배선(65), (65) 사이에서 서로 간섭하는 노이즈가 감소되고, 또, Al배선(62), (62) 및 Al배선(65), (65) 사이에 산화저역특성이 향상한다.

또, 비유전율이 4.0 정도의 종래의 층간 Si 산화막과 비교하여, 배선간의 용량을 일정하게 한 경우에, 본 실시예의 비유전율이 3.0 정도의 층간 Si 산화막의 폭이 막 두께를 얇게 할 수 있다.

예컨대, 종래에는 1μm의 막두께가 필요한 경우에, 본 발명의 불소를 함유하는 Si 산화막을 0.75μm로 형성하므로써, 상기한 배선 사이에 용량을 보유할 수 있다. 이와 같이, 본 발명에 의한 불소를 함유한 Si 산화막을 사용하므로써, 배선간의 용량을 유지한 채 막 두께를 얇게 할 수 있다. 이것에 의하여, 예컨대 미세화에 따라 점점 커지는 비어호출의 정황비율 경감할 수 있다.

제15도는, 제5실시예의 제조방법으로 제조된 반도체장치의 도식적인 단면도이다. 상술한 제9도에 표시한 장치를 사용하여, 가스 도입계(6)로부터 플라즈마 생성실(1) 내로 Ar 가스, O₂ 가스를 공급하여, 가스 도입계(7)로부터 반응실(2) 내로 SiF₄ 가스를 공급하여 플라즈마를 발생시키고, 고주파 전원(9)에 의하여 시료(S)에 음극의 바이어스 전압을 인가하므로써, 반도체 기판(61) 위에 Al배선(62), (62)이 형성된 시료(S) 위에 산화막(64)을 형성한다. 그리고, 마이크로파의 발전을 정지하고, SiF₄ 가스를 SiH₄ 가스로 전환하고, 다시 마이크로파를 플라즈마 생성실(1) 내로 도입하여, 300Å의 상기한 불소를 함유하지 않은 Si 산화막(66)을 형성한다. 그리고, 불소를 함유하지 않은 Si 산화막(66)

이것에 의하여, A1배선(65),(65)의 형성시의 불소를 함유하는 실리콘화합물 가스와의 접촉 및 A1배선(65),(65)의 불소와의 접촉을 감소시킬 수 있고, 접촉에 의한 A1배선(65),(65)의 부식, 결정입자지름의 변화 등을 방지할 수 있다. 또, 불소를 함유하지 않은 Si 산화막(66)을 얇게 형성함으로써, 배선 사이에서의 영향이 없고, 종래와 비교하여 상호 간섭하는 노이즈 및 신호지연특성이 향상된다. 또한, 상술한 제조방법에 있어서, 중간 절연막인 Si 산화막(64)의 형성을 종료한 직후에, 고주파 전력을 증가시켜서 표면의 스퍼터율을 상승시키므로써, 표면의 불소원자를 감소시키거나, 또는 Si 산화막(64)의 형성을 종료한 직후에, Ar가스와 같은 비반응성 가스의 플라즈마를 조사하면서, 기판에 고주파 바이어스를 인가하여 적극적으로 스퍼터링을 실시하여 표면의 불소원자를 감소시키므로써, 더욱 접촉에 의한 A1배선(65),(65)의 부식, 결정입자지름의 변화 등을 방지할 수 있다.

또, 제16도는, 제5실시예의 제조방법으로 제조된 반도체장치의 도식적인 단면도이다. 상술한 제9도에 표시한 장치를 사용하여, 반도체 기판(61) 위에 A1배선(62),(62)이 형성된 시료(S)의 표면에, 먼저 SiH_4 에 의한 플라즈마(V)법에 의하여, 불소를 함유하지 않은 상기한 제1의 Si 산화막(63)을 형성하고, 다음에, 가스 도입계(7)로부터 반응실(2) 내로 SiF_4 가스를 공급하여 플라즈마를 발생시키며, 고주파 전원(9)에 의하여 시료(S)에 음극의 바이어스 전압을 인가하므로써, 반도체 기판(61) 위에 A1배선(62),(62)이 형성된 시료(S) 위에 불소를 함유한 상기한 제2의 Si 산화막(64)을 형성한다. 그리고, 마이크로파의 발전을 중지하고, SiF_4 가스를 SiH_4 가스로 전환하여, 다시 마이크로파를 플라즈마 생성실(1) 내로 도입하여, 300A의 불소를 함유하지 않은 상기한 제3의 Si 산화막(66)을 형성한다. 그리고, 불소를 함유하지 않은 Si 산화막(66) 위에 A1배선(65),(65)을 형성한다. 이와 같이 제조된 반도체장치에서는, A1배선(62)(62) 및 A1배선(65)(65)의 불소에 의한 부식, 더욱 방지된다.

다음에 본 발명의 제6실시예를 이것을 표시하는 도면에 의거하여 구체적으로 설명한다.

제17도는, 제6실시예에 있어서의 제조의 실시예에 사용하는 ECR플라즈마CVD장치의 구조를 표시하는 도식적인 종단면도이다. 도면에서 참조부호(1)은 플라즈마 생성실이며, (2)는 반응실이다. 이 장치는, 반응실(2) 내에 배치된 시료(S)를 올려놓는 시료대(5)에 직류 전원(10)이 접속되며, 시료(S)에 음극의 직류 전계가 인가되도록 되어 있고, 가스 도입계(6)로부터 O_2 및 N_2 를 동시에 또는 선택적으로 도입할 수 있고, 가스 도입계(7)로부터 SiF_4 가스와 SiH_4 를 동시에 또는 선택적으로 도입가능하게 되어 있는 이외는, 상술한 제9도에 표시하는 장치와 동일하다. 대응하는 부분에는 동일한 부호를 사용하여, 설명은 생략한다.

제18도는, 제6실시예의 제조방법으로 제조된 반도체장치의 도식적인 단면도이다. 상술한 장치를 사용하여, 기판(71)에 A1배선(72),(72)이 형성된 시료(S) 위에, 먼저, 가스 도입계(6)로부터 반응실(2) 내로 SiF_4 가스를 도입하여 플라즈마를 발생시키며, 시료(S)에 음극의 바이어스 전압을 인가하여, Si 산화막(73)을 형성한다. 다음에, 그리고, 마이크로파를 플라즈마 생성실(1)내로 도입하여 300A의 불소를 함유하지 않은 Si 산화막(74)을 형성한다. 그리고, 불소를 함유하지 않은 산화막(74) 위에 최상층의 A1배선(75),(75)을 형성한 후, 다시 SiF_4 가스를 도입하여 플라즈마를 발생시키며, 시료(S)에 음극의 바이어스전압을 인가하여, Si 산화막(76)을 형성하여, A1배선(75),(75) 사이에 매입하여 평탄화시킨다. 그후, SiH_4 가스와 N_2 가스를 사용하여 Si 질화막(77)을 형성한다. 이 Si 질화막(77)은 불활성화 막의 기능을 한다. 또한, Si 질화막(77)을 형성할 때에, SiH_4 가스 대신에 SiF_4 가스를 도입해도 좋고, N_2 가스 대신에 N_2 와 O_2 를, 또는 N_2 와 N_2O 를 도입하므로써, Si 질화막(77)을 Si 산화질화막으로 해도 좋다. Si 산화질화막을 형성하므로써, 더욱 낮은 스트레스의 불활성화 막을 형성할 수 있다.

이와 같이, 최상층의 A1배선(75),(75) 사이에는 낮은 비유전율의 Si 산화막이 형성되며, 또, 이 위에 Si 질화막이 형성된다. 종래에는 불활성화막으로서의 Si 질화막을 최상층의 A1배선(75),(75) 표면에 피복하였으므로, 높은 비유전율(≈ 6.9)의 Si 질화막이 A1배선(75),(75) 사이에 있었는데, 본 실시예와 같이 낮은 비유전율의 Si 질화막을 피복하므로써, A1배선(75),(75) 사이에서 서로 간섭하는 노이즈가 감소되고, 신호 지연특성이 향상된다. 또, 본 발명에 의하여 우수한 특성이 있는 Si 산화막의 형성이 가능하게 됨과 아울러, 입자의 발생도 감소시킬 수 있다.

제19도는 제7실시예의 제조방법으로서 제조된 반도체장치의 도식적인 단면도이다. 상술한 제9도에 표시한 장치를 사용하여, 가스 도입계(6)로부터 플라즈마 생성실(1) 내로 Ar가스와 O_2 가스를 공급하고, 가스 도입계(7)로부터 반응실(2)내로 SiF_4 가스를 공급하여 플라즈마를 발생시키며, 고주파 전원(9)에 의하여 시료(S)에 음극의 바이어스 전압을 인가하므로써, 시료(S)에 Si 산화막(79)을 형성한다. 시료(S)에는, 불소를 함유하지 않은 절연막(81)위에 A1배선(73),(78)이 형성되어 있다. 그리고, Si 산화막(79)의 표면이 A1배선(78),(78)의 표면과 일치하게 되는 시점에서, 마이크로파의 발전을 중지하고, SiF_4 가스를 SiH_4 가스로 전환하여, 다시 마이크로파를 플라즈마 생성실(1) 내로 도입하여, A1 배선(78)(78) 및 Si 산화막(79)위에 불소를 함유하지 않은 Si 산화막(80)을 형성한다.

이와 같이, 불소를 함유하는 Si 산화막(79)을 A1 배선(78),(78) 사이에만 매입하므로써, 동일층에서의 배선간의 용량의 증가를 억제할 수 있다. 이것에 의하여, 반도체 장치의 고속작동에 관계되는 배선 사이에만 불소를 함유하는 Si 산화막(79)을 사용하고, 그밖의 부분에는 종래의 불소를 함유하지 않은 Si 산화막을 사용하며, 종래의 동일한 정도의 비용으로 보다 고속작동이 가능한 반도체장치를 형성할 수 있다.

본 실시예에는, A1배선(78),(78)의 하층의 절연막(81) 및 상층의 Si 산화막(80)에 불소를 함유하지 않은 절연막을 사용하고 있다. 이 절연막은 예컨대, SiH_4 또는 TEOS 등을 사용하여 플라즈마CVD법에 의하여 형성된 보트의 산화막이라도 좋다. 또, 상술한 A1배선(78),(78)이 형성된 층에 최종 배선층인 경우에는, A1배선(78),(78) 및 Si 산화막(79) 위에는 질화실리콘 등의 불활성화막을 형성한다.

또, 본 실시예에서는 A1배선을 사용하고 있지만, 이것에 한정되는 것은 아니고, W, Cu, Ag, Au, TiN 등의 금속에 의한 배선이라도 좋다.

또한, 이상과 같이, 실시예에서는, SiF_4 및 O_2 를 공급한 경우를 설명하고 있는데, 이것으로 한정되는 것은 아니고, 불소를 함유하는 실리콘화합물 가스와 O_2 또는 N_2O 를 사용해도 좋다. 또, 본 실시예에 있어서 A1배선(22),(22)은 Al합금배선이라도 좋고, W배선 또는 Cu 배선이라도 좋다.

또, 상술한 실시예에서는 플라즈마CVD법으로서 ECR플라즈마CVD법을 사용하고 있지만, 이것으로 한정되는 것은 아니고, 마이크로파 플라즈마CVD법, RF플라즈마CVD법 등이라도 좋다.

이상과 같이, 본 발명에 있어서는, 불소를 함유하는 실리콘화합물 가스를 사용한 플라즈마CVD법에서 Si 산화막을 형성하므로써, 입자의 발생을 억제하여 반도체장치의 품질 및 수율을 향상시키며, 또, Si 산화막의 평탄화 특성을 향상시키고, 또, 반도체장치의 고속화를 도모할 수 있는 또 다른 바람직한 실시예를 개시한다.

기관상에 형성된 Si 또는 Al함금으로 이루어진 금속배선과, Si 산화막을 구비한 반도체장치에 있어서, 상기 Si 산화막은 상기 금속배선 표면에 형성된 불소를 함유하지 않는 제1 Si산화막과, 상기 제1 Si산화막상에 형성된 0.1-20원자%의 불소를 함유하는 제2 Si산화막을 포함하는 것을 특징으로 하는 반도체장치.

청구항 2

제1항에 있어서, 상기 제2 Si산화막상에 형성된 불소를 함유하지 않는 제3 Si산화막과, 상기 제3 Si산화막상에 형성된 Si 또는 Al함금으로 이루어진 제2 금속배선을 더 포함하는 것을 특징으로 하는 반도체장치.

청구항 3

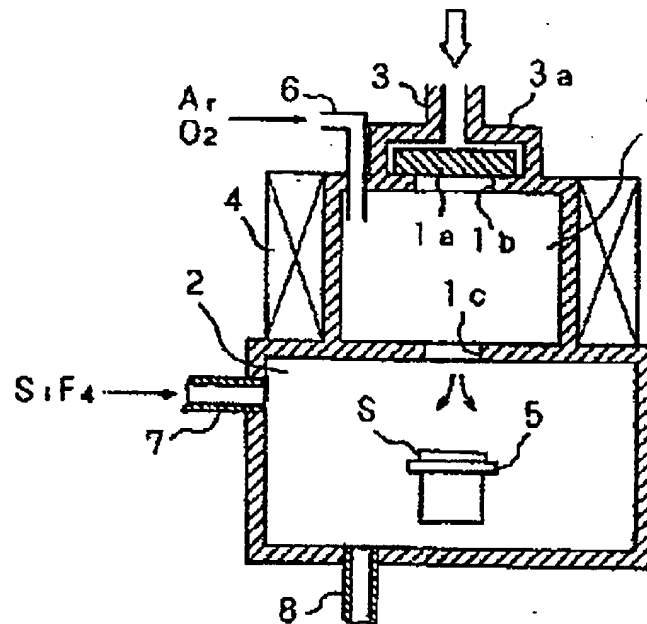
기관상에 Si 또는 Al함금으로 이루어진 금속배선을 형성하는 단계; 플라즈마CVD장치에 의해 불소를 함유하지 않는 실리콘화합물 가스와 O_2 또는 N_2O 가스를 주입하여 상기 금속배선의 표면에 불소를 함유하지 않는 제1 Si산화막을 형성하는 단계; 및 플라즈마CVD장치에 의해 불소를 함유하는 실리콘화합물 가스와, O_2 또는 N_2O 가스를 주입하여 상기 제1 Si산화막상에 불소를 함유하는 제2 Si산화막을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 4

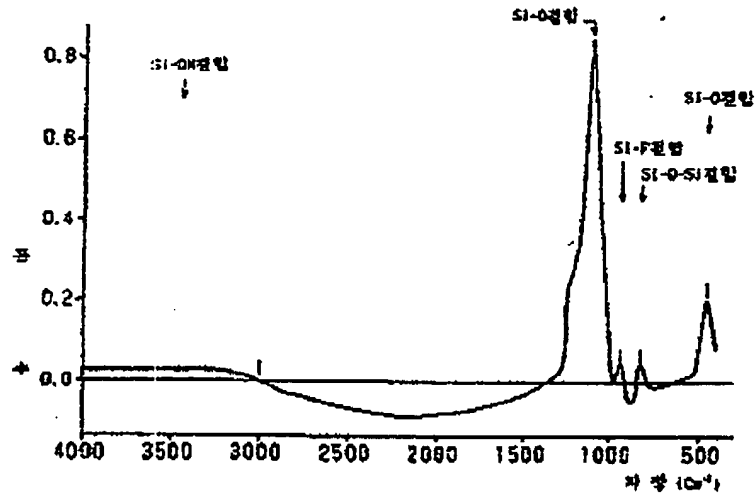
기관상에 Si 또는 Al함금으로 이루어진 제1 금속배선을 형성하는 단계; 플라즈마CVD장치에 의해 불소를 함유하지 않는 실리콘산화물 가스와, O_2 또는 N_2O 가스를 주입하여 상기 금속배선 표면에 불소를 함유하지 않는 제1 Si산화막을 형성하는 단계; 플라즈마CVD장치에 의해 불소를 함유하는 실리콘화합물 가스와, O_2 또는 N_2O 가스를 주입하여 상기 제1 Si산화막에 불소를 함유하는 제2 Si산화막을 형성하는 단계; 플라즈마CVD장치에 의해 불소를 함유하지 않는 실리콘화합물 가스와, O_2 또는 N_2O 가스를 주입하여 상기 제2 Si산화막에 불소를 함유하지 않는 제3 Si산화막을 형성하는 단계; 및 상기 제3 Si산화막상에 Si 또는 Al함금으로 이루어진 제2 금속배선을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체장치의 제조방법.

도면

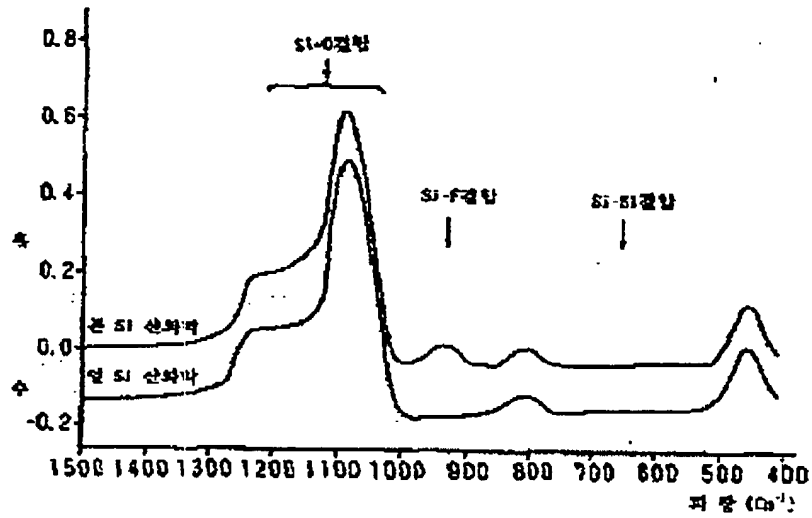
도면 1



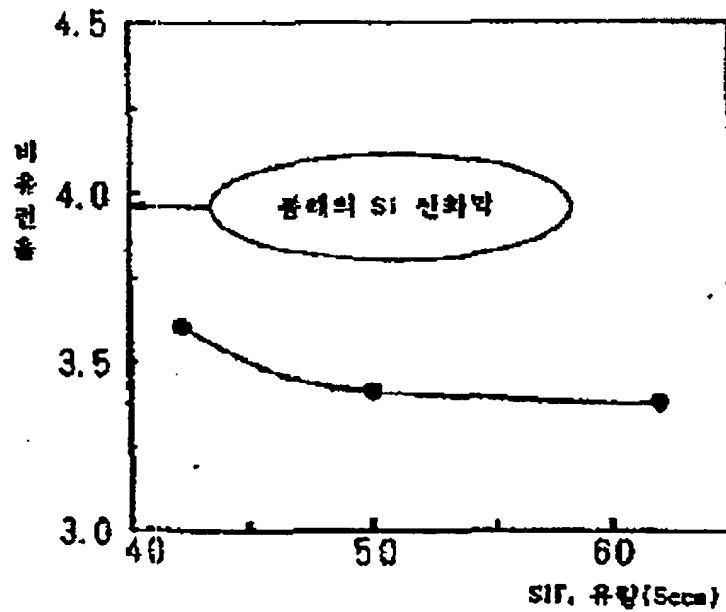
도면 2



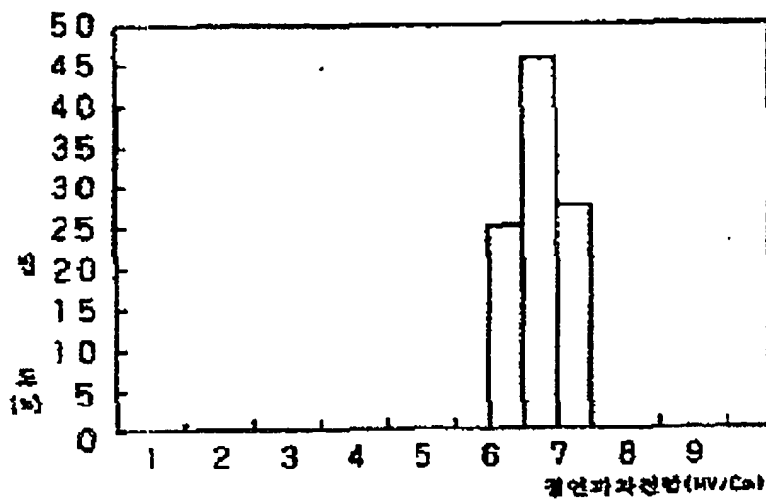
도면 3



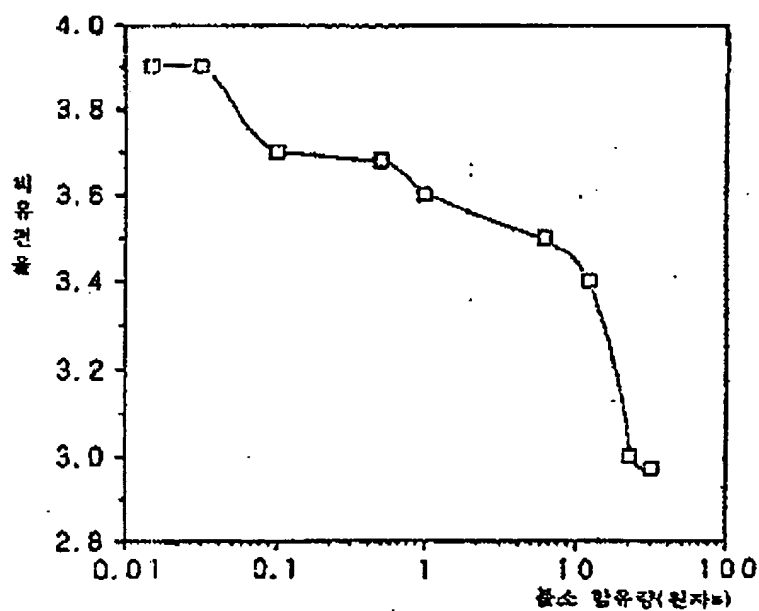
도면 4



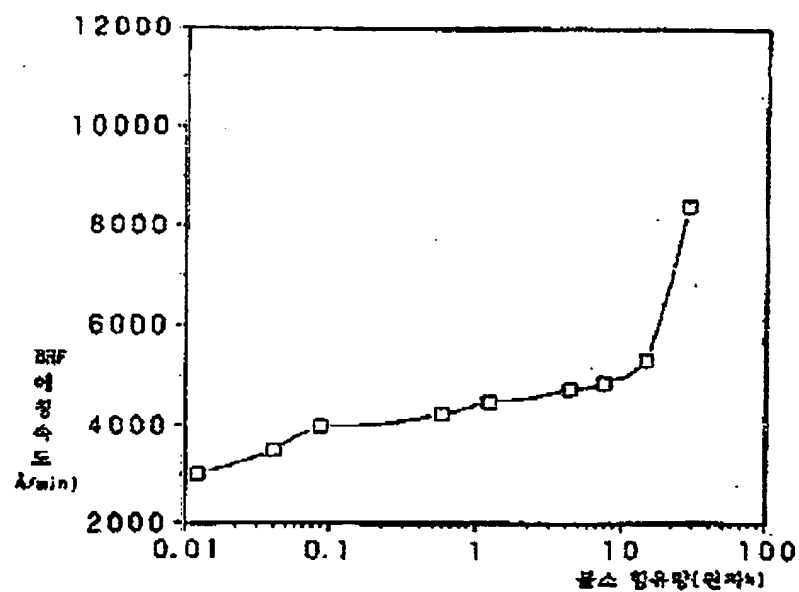
도면 5



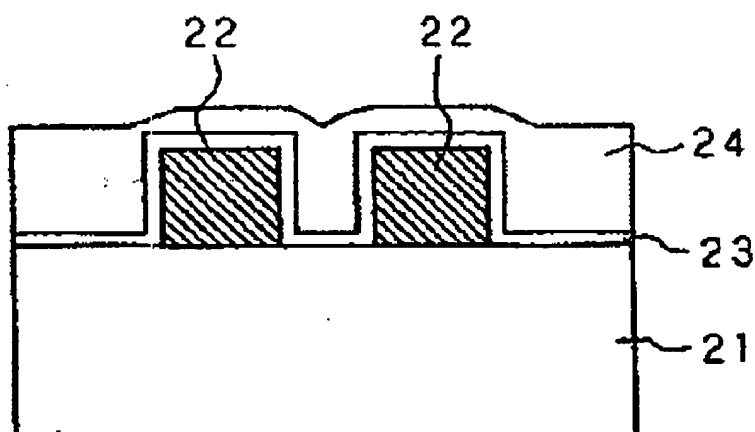
도면 6



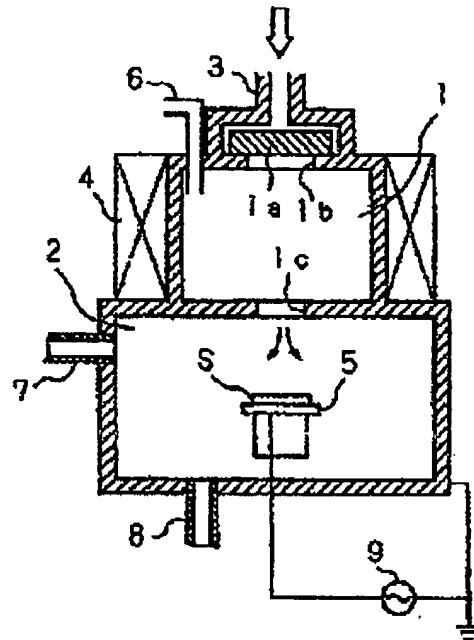
도면 7



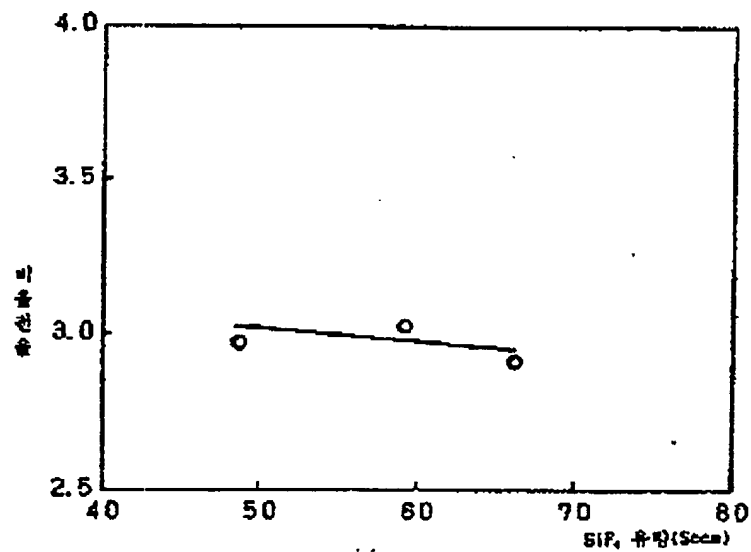
도면 8



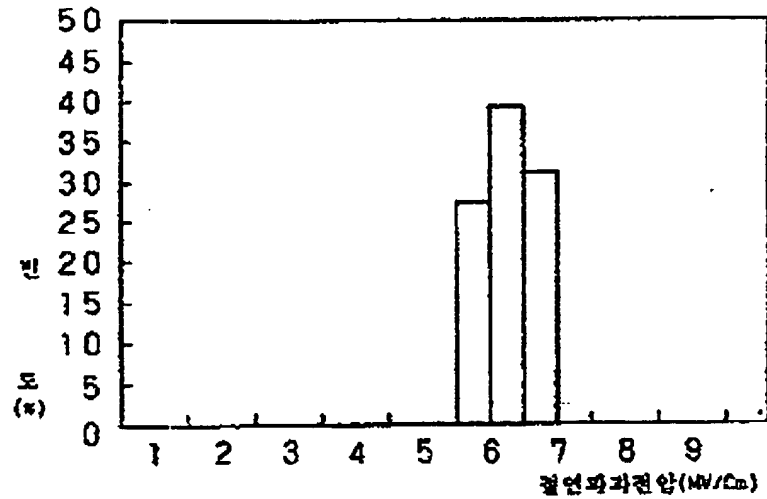
도면 9



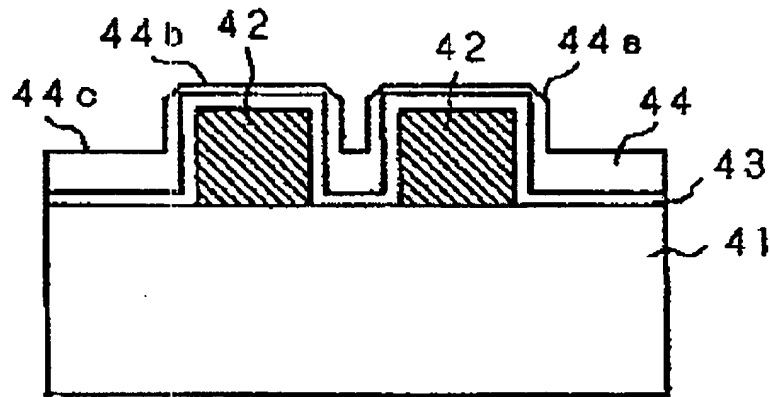
도면 10



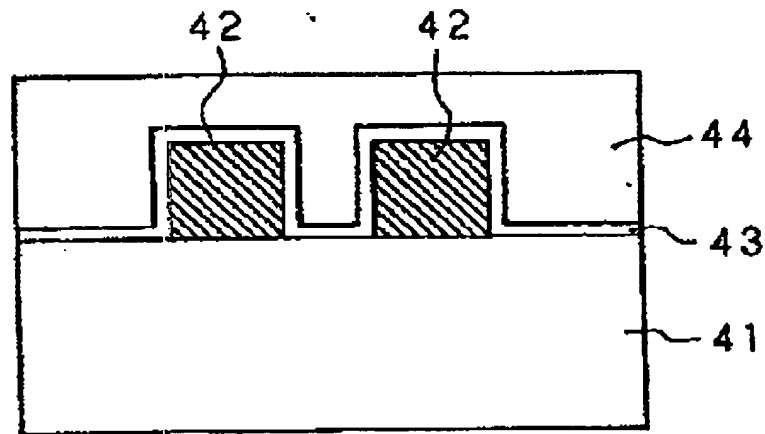
도면 11



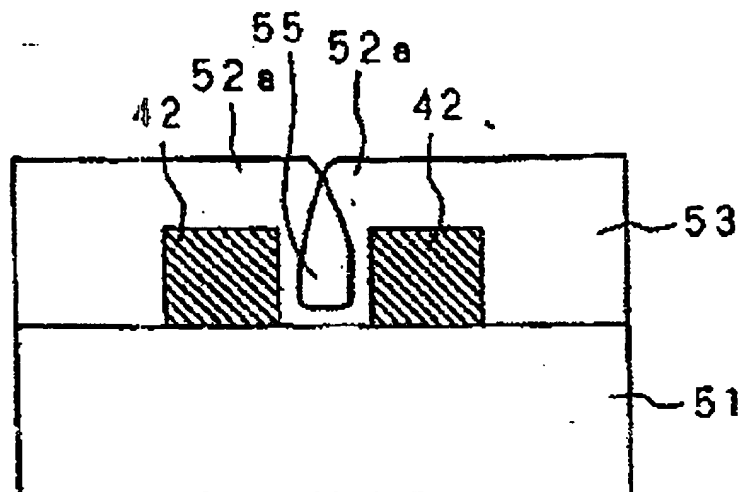
도면 12a



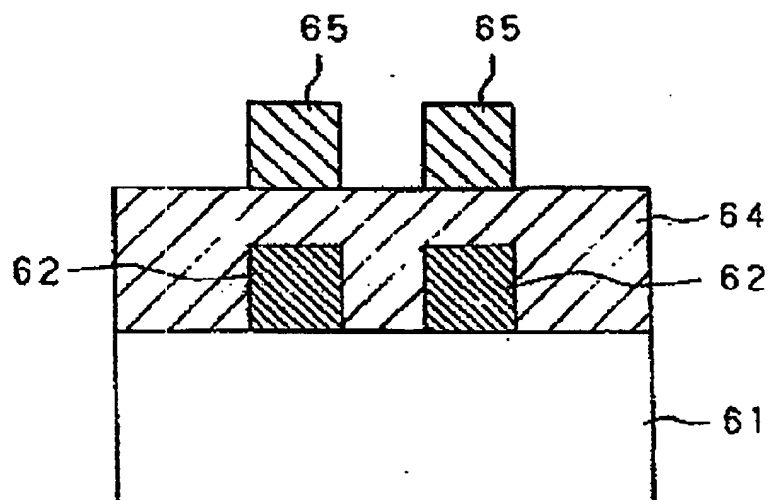
도면 12b



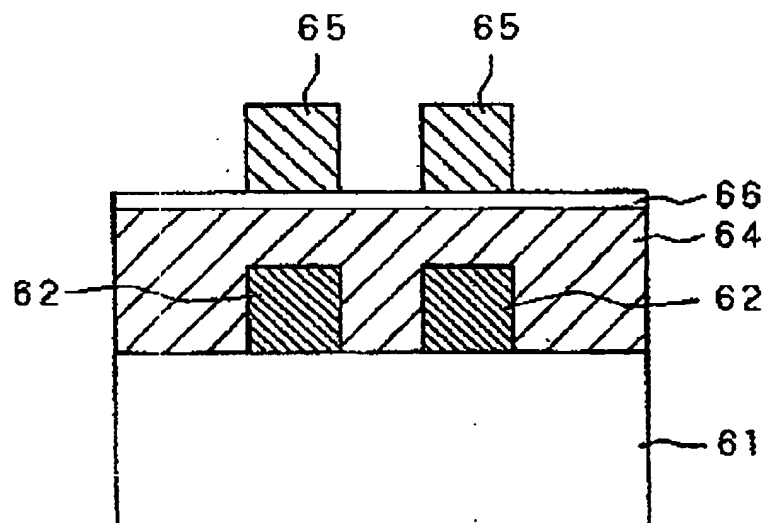
도면 13



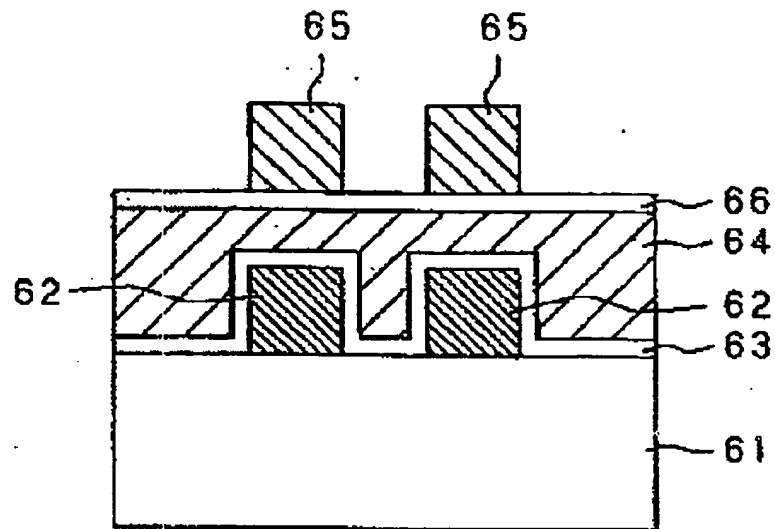
도면 14



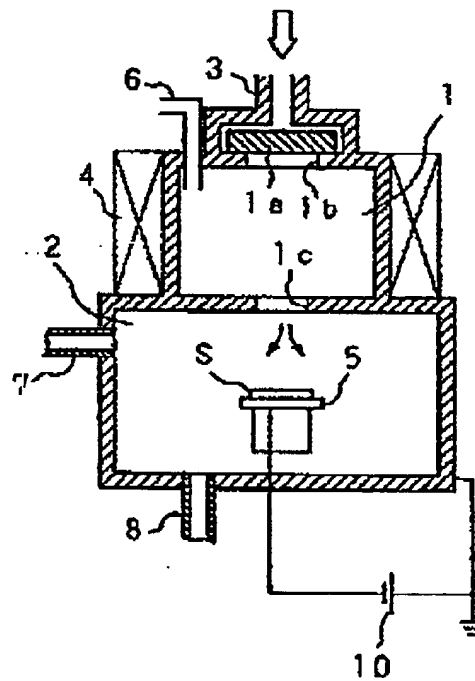
도면 15



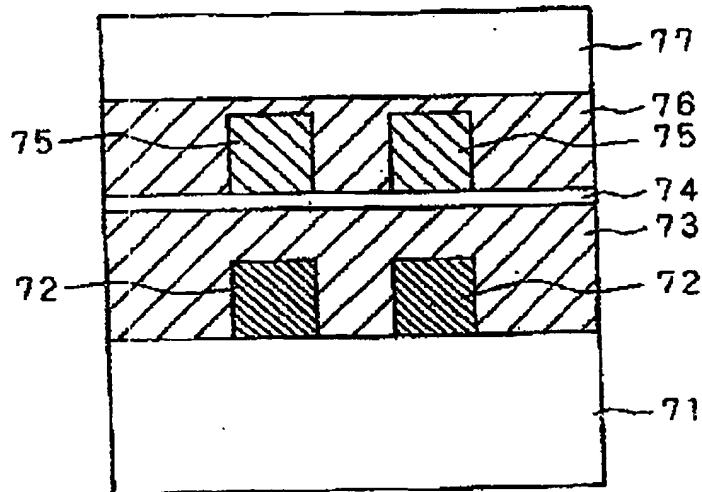
도면 16



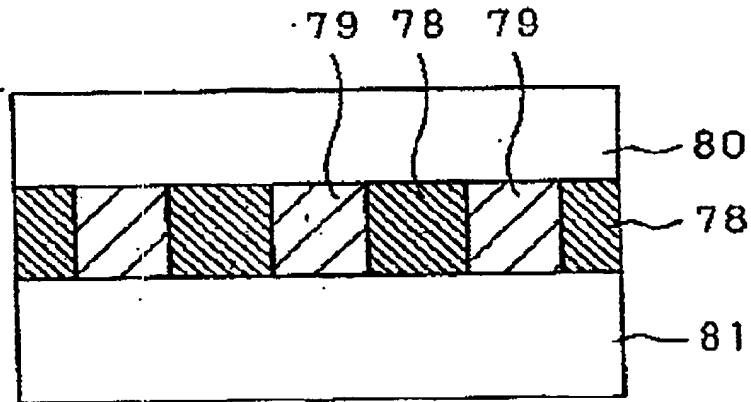
도면 17



도면 18



도면 19



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☒ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.